

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

B41J 2/14

## [12] 发明专利申请公开说明书

[21] 申请号 01112133.5

[43] 公开日 2002 年 10 月 30 日

[11] 公开号 CN 1376580A

[22] 申请日 2001.3.26 [21] 申请号 01112133.5

[71] 申请人 研能科技股份有限公司

地址 台湾省新竹市科学园区研发二路 28 号 1 楼

[72] 发明人 林富山 周沁怡 张英伦

[74] 专利代理机构 上海专利商标事务所

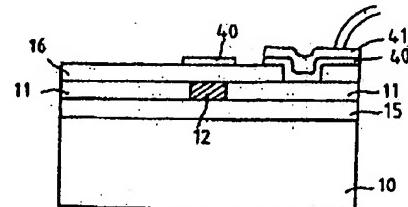
代理人 任永武

权利要求书 2 页 说明书 3 页 附图页数 4 页

[54] 发明名称 喷墨头芯片

[57] 摘要

一种喷墨头芯片，它是在基板上形成一热障层，于热障层上为一电阻材质的多晶硅层，它分为二区域：第一区域为预计形成加热板的电阻区(层)和第二区域为多晶硅层通过掺杂(Doping)后所形成的第一导电区(层)，它们均由同一多晶硅层形成且呈平整共存相接态；于第一导电区(层)与电阻区(层)的共存层上形成有保护层。由于是将电阻区(层)与导电区(层)设定在多晶硅的同一层材质上，因此可消除阶梯并使保护层保持平整状态。



I S S N 1 0 0 8 - 4 2 7 4

知识产权出版社出版

BEST AVAILABLE COPY

01-03-29

## 权 利 要 求 书

1. 一种喷墨头芯片，其特征在于：在基板上形成一热障层，于所述热障层上为一电阻材质的多晶硅层，所述多晶硅层分为二区域，第一区域为预计形成加热板的电阻区(层)，而第二区域为多晶硅层通过掺杂(Doping)后所形成的第一导电区(层)，第一导电区(层)与电阻区(层)均由同一多晶硅层所形成，两者呈平整共存相接态；于芯片的第一导电区(层)与电阻区(层)的共存层上形成有保护层。
2. 如权利要求1所述的喷墨头芯片，其特征在于，所述机基板为一硅基板。
3. 如权利要求1所述的喷墨头芯片，其特征在于，所述热障层为一二氧化硅( $SiO_2$ )层。
4. 如权利要求1所述的喷墨头芯片，其特征在于，形成多晶硅层是以CVD或其他同效性加工方式形成。
5. 如权利要求1所述的喷墨头芯片，其特征在于，多晶硅层用同性质的电阻材质取代形成。
6. 如权利要求1所述的喷墨头芯片，其特征在于，所述保护层为一氮化硅( $Si_3N_4$ )层。
7. 如权利要求1所述的喷墨头芯片，其特征在于，所述保护层为一碳化硅( $SiC$ )层。
8. 如权利要求1所述的喷墨头芯片，其特征在于，所述保护层为一钽(Ta)层。
9. 如权利要求1所述的喷墨头芯片，其特征在于，所述保护层为氮化硅( $Si_3N_4$ )、碳化硅( $SiC$ )、钽(Ta)的混合层。
10. 如权利要求1所述的喷墨头芯片，其特征在于，VIA是采用VIA Hole技术在保护层上以黄光、蚀刻的方式限定出来，于保护层的VIA上形成接着层与第二导电层，并以黄光、蚀刻的方式限定所需尺寸。
11. 如权利要求9所述的喷墨头芯片，其特征在于，接着层与第二导电层是以溅镀或其他同效性方式形成。
12. 如权利要求9所述的喷墨头芯片，其特征在于，所述接着层为一钽(Ta)层。
13. 如权利要求9所述的喷墨头芯片，其特征在于，所述第二导电层为

01·03·29

一鉢(Au)层。

01.03.29

## 说 明 书

### 喷墨头芯片

本发明有关一种喷墨头芯片。

在现有的芯片结构中，如图 1 所示的大型集成电路( LSI )制造工艺，是先在芯片硅基材上以  $\text{SiO}_2$  形成一层热障层薄膜，之后再以溅镀的方式先后镀上电阻层(TaAl)与导电层(A1)，并以黄光及蚀刻的制造工艺限定所需尺寸，之后再以溅镀装置或化学气相沉积(CVD)装置镀上保护层( $\text{Si}_3\text{N}_4/\text{SiC}$ )，在此一制作方式中，因导电层与电阻层为上下两层，在限定尺寸时会因侵蚀效应而形成斜度，故保护层在导电层与电阻层交界处会形成阶梯(Step)现象，如图 2 中圆圈处所示；此种阶梯现象在后续进行的保护层形成时易造成应力集中、阶梯覆盖(Step Coverage)不良或结构松散等状况。而喷墨头芯片的制作上也有相同的情况，在美国专利案第 4,809,428 号中所揭示的喷墨头薄膜制法中也显示出阶梯现象依然存在，由图 3 与图 4 所示，可得知喷墨头芯片薄膜在制造时导电层 20、22 与电阻层 34 间仍存在着阶梯现象；而喷墨头在列印时，加热板接触的电阻层需承受高电流、高温、机械冲击及化学侵蚀的环境，在此状况下，保护层极易在阶梯部份产生裂缝或孔洞，进而造成破裂，使匣体内墨水渗入芯片薄膜的电阻层与导电层，造成元件损坏的现象发生。

本发明的目的在于提供一种喷墨头芯片，在喷墨头芯片制造时以同时加工的方式将芯片的电阻层与导电层设定于同一层材料上，使其在限定尺寸时不会产生斜度，进而在镀上保护层时能消除阶梯现象。

为实现上述目的，本发明的喷墨头芯片，其特点是：在基板上形成一热障层，于所述热障层上为一电阻材质的多晶硅层，所述多晶硅层分为二区域，第一区域为预计形成加热板的电阻区(层)，而第二区域为多晶硅层通过掺杂(Doping)后所形成的第一导电区(层)，第一导电区(层)与电阻区(层)均由同一多晶硅层所形成，两者呈平整共存相接态；于芯片的第一导电区(层)与电阻区(层)的共存层上形成有保护层。

本发明的结构特点是在于芯片硅基板上形成一层热障层薄膜后，以化学气相沉积(CVD)或其他加工方式形成一层为电阻材质的多晶硅(Polycrystalline Silicon)材质，在多晶硅层上以光阻遮蔽电阻区所需的部份并限定其尺寸，再以离子植入或扩散或其他方式对导电区进行掺杂(Doping)以提高其导电性，使

01.03.29

电阻区与导电区同时形成，且位于同一层，这样即没有阶梯现象产生。相应地本发明的制造程序包括下述的步骤：(1)形成一热障层于一基板上；(2)形成一为电阻材质的多晶硅层于所述热障层上；(3)以黄光及蚀刻方式厘定多晶硅层所需的尺寸；(4)以光阻将多晶硅层上预计形成加热板的电阻区(层)部位遮蔽，而对其他未遮蔽部位的多晶硅层进行掺杂，使之成为第一导电区(层)，第一导电区(层)与电阻区(层)由同一多晶硅层所形成因而两者呈平整共存相接态；(5)在芯片的第一导电区(层)与电阻区(层)的共生层上形成保护层；(6)使用介层通孔(VIA Hole)技术在保护层上以黄光、蚀刻的方式将 VIA 限定出来；(7)以溅镀或其他方式形成接着层(Ta)与第二导电层(Au)；(8)以黄光、蚀刻的方式限定所需尺寸，完成整个制造程序。

在本发明的喷墨头芯片中，所述基板为一硅基板，所述热障层是采用氧化技术形成于所述硅基板上，它为一二氧化硅( $\text{SiO}_2$ )层。

在本发明的喷墨头芯片中，于所述热障层上，通过 CVD 或其他加工方式形成有一层为电阻材质的多晶硅，此多晶硅层具有可通过掺杂(Doping)作用使荷电粒子增加而降低电阻率，而能成为具有导电材料的特性，以将部份本体加工成导电层；通过黄光及蚀刻方式限定多晶硅层所需的尺寸，并以光阻将多晶硅层上需预计形成加热板的电阻区(层)部位遮蔽，而对其他未遮蔽部位的多晶硅层进行掺杂，使之成为第一导电区(层)，第一导电区(层)与电阻区(层)由同一多晶硅层所形成，两者呈平整共存相接态。

在本发明的喷墨头芯片中，在多晶硅层的第一导电区(层)与电阻区(层)的共存层上形成有保护层，所述保护层是以 CVD 或溅镀等方式形成，它可为一氮化硅( $\text{Si}_3\text{N}_4$ )层、一碳化硅( $\text{SiC}$ )层、一钽(Ta)层或它们的混合层。

在本发明的喷墨头芯片中，在保护层上使用介层通孔(VIA Hole)技术，以黄光、蚀刻的方式将 VIA 限定出来；于保护层上形成有接着层与导电层，所述接着层与第二导电层是以溅镀或其他方式形成，所述接着层可为一钽(Ta)层，而所述第二导电层可为一金(Au)层，最后再以黄光、蚀刻的方式限定所需尺寸以完成整个制造程序。

本发明喷墨头芯片与现有技术技术相比较，本发明的优点是将芯片薄膜的覆层在硅基板上由原先的四层减为三层，即为热障层、导电区与电阻区共存层与保护层，因而消除了阶梯现象，使保护层得以保持平整状态；且以多晶硅做为第一导电区与电阻区共存层的基材，使导电区(层)与电阻区(层)能相间并存，此是本发明的另一优点。故本发明的结构具有简化制造程序，提升喷墨头芯片品质的功效。

01-03-29

图 1 是为大型集成电路 (LSI) 制造工艺范例的示意图；

图 2 是为现有的喷墨头芯片示意图；

图 3 是为美国专利案第 4,809,428 号所揭示的喷墨头芯片薄膜的俯视图；

图 4 是为沿图 3 中 4A—4A 线所取的剖面图；

图 5 是本发明的喷墨头芯片结构的剖面图；

图 6 是为本发明喷墨头芯片结构的俯视图；

图 7 是为本发明喷墨头芯片较佳实施例的示意图。

请参阅图 5 与图 6 所示，由剖面图与俯视图可得知本发明喷墨头芯片在薄膜层制造完成后，其电阻区(层)12 与第一导电区(层)11 是位在同一平面，且其厚度相同，因此在电阻区(层)12 与第一导电区(层)11 的交界处并不会形成阶梯，故镀布于其上方的保护层 16 能呈均匀且平整的分布，以确保加热板区域的平整性。

为获得完整喷墨头芯片，本发明的制造流程是先在一硅基板 10 上以高温扩散或其他方式形成热障层 15 薄膜( $\text{SiO}_2$ )后；再于热障层 15 上以 CVD 或其他加工方式形成一层为电阻材质的多晶硅(Polycrystalline Silicon)材质 18，此多晶硅层 18 本身具有可通过掺杂作用使荷电粒子增加而降低电阻率，可成为具有导电材料的特性；之后再以黄光及蚀刻方式限定多晶硅层 18 所需的尺寸；后续再以光阻将多晶硅层 18 上预计形成加热板的电阻区(层)12 部位遮蔽，而对其他未遮蔽部位的多晶硅层 18 以离子植入、扩散或其他方式进行掺杂提高其导电性，使之成为第一导电区(层)11，此时第一导电区(层)11 与电阻区(层)12 因是由同一多晶硅层 18 所分别形成，两者呈平整共存相接态，故没有阶梯现象产生；再以 CVD 或溅镀等方式在芯片的第一导电区(层)11 与电阻区(层)12 上形成保护层 16，在完成保护层 16 后，使用 LSI 制造工艺中常见的 VIA Hole 技术在保护层 16 上以黄光、蚀刻的方式将 VIA 限定出来，之后再以溅镀或其他方式形成接着层(Ta)与第二导电层(Au)，并以黄光、蚀刻的方式限定所需尺寸，从而完成整个制造程序。

本发明的结构已通过上述较佳实施例予以充分揭示，然而该实施例并非用以限制本发明，任何熟悉本技术的人员，在不脱离本发明的精神的情况下，可作出种种的等效的变化与替换，如多晶硅以同质性的材质取代，这些等效的变化和替换均应属本发明专利的涵盖范围。

## 说 明 书 附 图

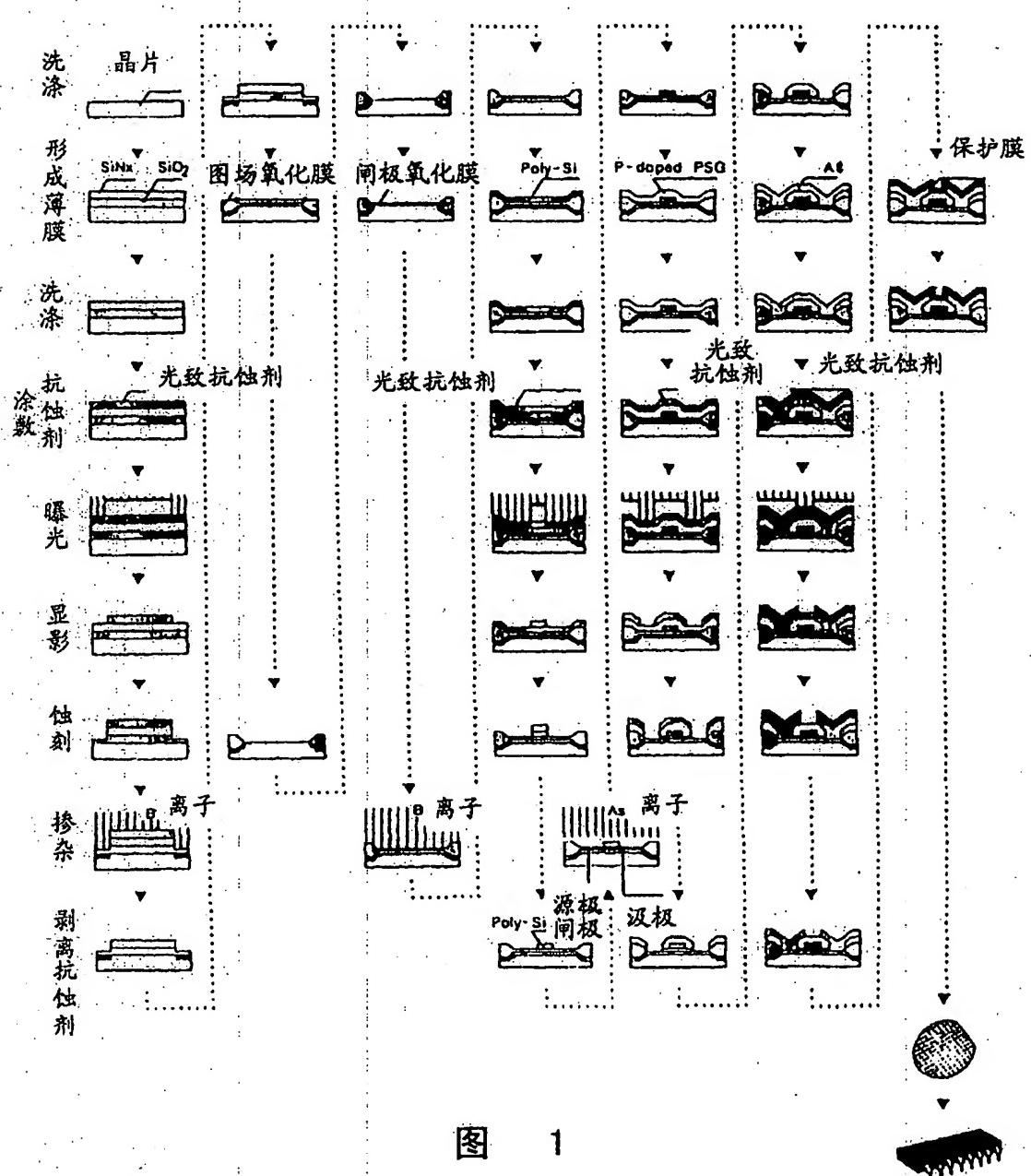


图 1

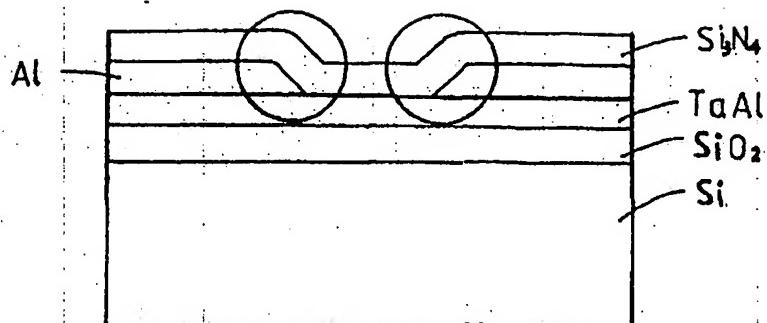


图 2

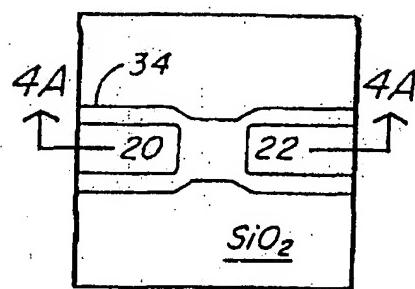


图 3

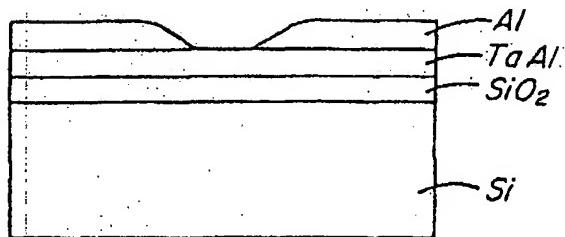


图 4

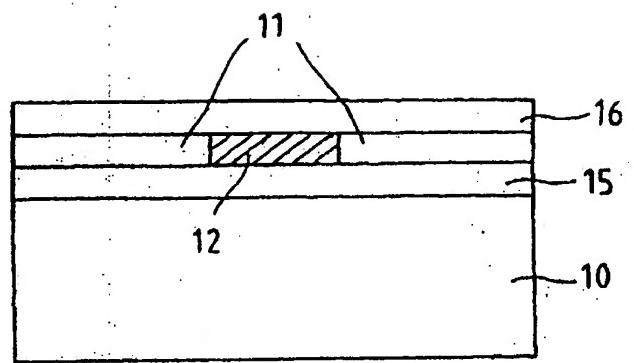


图 5

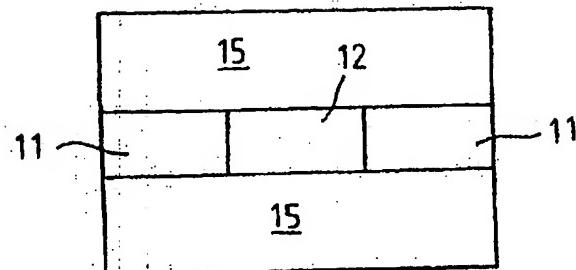


图 6

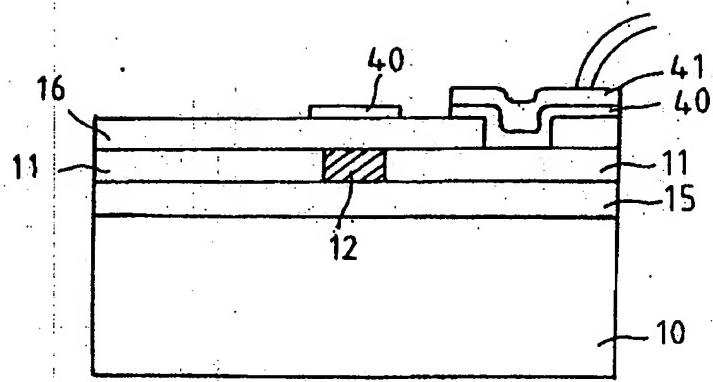


图 7

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**